

#2 2-2-01

PATENT  
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Shinsuke NAKAJYO, et al.

Serial No.: 09/686,958 ✓

Filed: October 12, 2000 ✓



Group Art Unit: 2812

For: MANUFACTURE OF WAFER LEVEL SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE ✓

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Director of Patents and Trademarks  
Washington, D.C. 20231

January 30, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2000-201416, filed July 3, 2000**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN, HATTORI  
MCLELAND & NAUGHTON

A large, stylized handwritten signature in black ink, likely belonging to William F. Westerman.

William F. Westerman  
Reg. No. 29,988

Atty. Docket No.: 001344  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
WFW/llf

RECEIVED  
FEB - 1 2001  
TTC 2800 MAIL ROOM

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2000年 7月 3日

出 願 番 号  
Application Number: 特願2000-201416

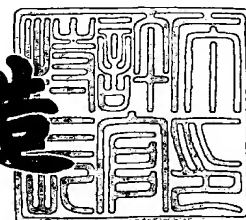
出 願 人  
Applicant (s): 富士通株式会社

RECEIVED  
FEB - 1 2001  
JC 2800 MAIL ROOM

2000年10月20日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3086236

【書類名】 特許願

【整理番号】 0040650

【提出日】 平成12年 7月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/56  
H01L 21/02

【発明の名称】 ウエハレベル半導体装置の製造方法及び半導体装置

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 中城 伸介

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 米田 義之

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 迫田 英治

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100108202

【弁理士】

【氏名又は名称】 野澤 裕

【電話番号】 044-754-3035

【手数料の表示】

【予納台帳番号】 011280

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9913421

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ウエハレベル半導体装置の製造方法及び半導体装置

【特許請求の範囲】

【請求項 1】 表面と裏面とを有し表面に複数の半導体チップの形成されたウエハの該表面を樹脂で封止する工程と、

各チップに対応した位置情報を該ウエハの裏面の各チップの領域に捺印する第 1 の捺印工程と、

各チップに電氣的試験を行う工程と、

各チップに対応した該電氣的試験の結果を該ウエハの裏面の各チップの領域に捺印する第 2 の捺印工程と、

各チップに切りわけけるダイシング工程とを有することを特徴とするウエハレベル半導体装置の製造方法。

【請求項 2】 表面と裏面とを有し表面に複数の半導体チップの形成されたウエハの該表面を樹脂で封止する工程と、

各チップに電氣的試験を行う工程と、

各チップに対応した位置情報と該電氣的試験の結果とを該ウエハの裏面の各チップの領域に捺印する捺印工程と、

各チップに切りわけけるダイシング工程とを有することを特徴とするウエハレベル半導体装置の製造方法。

【請求項 3】 前記ウエハの回路面と反対側の面も樹脂封止し、その上の各チップの領域に前記位置情報及び電氣的試験の結果を捺印することを特徴とする請求項 1 または 2 記載のウエハレベル半導体装置の製造方法。

【請求項 4】 表面と裏面とを有し表面に複数の半導体チップの形成されたウエハの該表面を樹脂で封止する工程と、

該ウエハに各チップの位置を示す捺印をした樹脂シートを該ウエハ裏面に貼り付ける工程と、

各チップに切りわけけるダイシング工程とを有することを特徴とするウエハレベル半導体装置の製造方法。

【請求項 5】 各チップに電氣的試験を行う工程と、

各チップに対応した該電氣的試験の結果を該ウエハの裏面の各チップの領域に捺印する捺印工程とをさらに含むことを特徴とする請求項 4 記載のウエハレベル半導体装置の製造方法。

【請求項 6】 ウエハの所定の位置から切り出され、表面に回路が形成された半導体チップと、

該半導体チップの表面を封止する樹脂と、

該樹脂から露出し、該回路と接続された外部出力端子と、

該半導体チップの裏面に設けられ、該ウエハの所定の位置を示す捺印とを有することを特徴とする半導体装置。

【請求項 7】 ウエハの所定の位置から切り出され、表面に回路が形成された半導体チップと、

該半導体チップの表面を封止する樹脂と、

該樹脂から露出し、該回路と接続された外部出力端子と、

該半導体チップの裏面に貼り付けられた樹脂シートと、

該樹脂シート上に印字された該ウエハの所定の位置を示す捺印とを有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のチップやチップサイズパッケージ(以下CSP)をウエハや基板上に形成したウエハレベル半導体装置の製造方法及び半導体装置に関するものである。

【0002】

樹脂等で封止された半導体パッケージの形状を半導体素子(以下チップ)に極力近づけるために、チップ上に突起電極により形成された外部出力端子を設け、ウエハ状態で少なくとも突起電極の側面を樹脂封止し、その後各チップに切断した構造の半導体パッケージが提案されている。(特開平10-79362参照；米国出願番号:09/029,608)

本発明は、このウエハレベル半導体装置の不良調査を行うのに用いる製造履歴

を設ける方法及びその方法を用いて製造された半導体装置に関する。

【 0 0 0 3 】

【従来の技術】

ウエハレベル半導体装置ではないタイプの半導体装置、つまりダイシングされ樹脂封止された後の半導体パッケージには、製造会社名・品種・製造ロット等の情報が半導体装置表面の樹脂に捺印されていた。不良品が発生した際は、この捺印情報からその製造ロットの履歴を追える様になっており、不良原因の特定に役立っている。

【 0 0 0 4 】

【発明が解決しようとする課題】

従来のウエハレベル半導体装置においても、上記と同様な情報が捺印されていた。

【 0 0 0 5 】

しかし、ウエハレベル半導体装置を含め、ウエハを用いた半導体装置の製造では、その製造工程をすべてウエハの状態で行なうが、不良品がウエハ上のある特定の位置から発生する事がある。このような場合、ウエハのどの位置で障害が発生したかを突き止めたいが、従来の製法ではチップ上に捺印されるわけではないので、ウエハのどこで不良が発生したかを特定することはできない。

【 0 0 0 6 】

たとえチップ上に捺印したとしても、樹脂で封止された後でその捺印を確認しようとすると、樹脂を溶かす作業が必要となり煩雑である。

【 0 0 0 7 】

従って本発明は、ウエハレベル半導体装置の製造方法において、ウエハ上に封止樹脂を形成しても、捺印情報から不良調査のできる半導体装置の製造方法及びその手法を用いて製造された半導体装置を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するために手段】

上記の課題は、以下の各独立項に対応した手段を講じることにより解決するこ

とができる。

【 0 0 0 9 】

請求項 1 記載の発明は、表面と裏面とを有し表面に複数の半導体チップの形成されたウエハの該表面を樹脂で封止する工程と、各チップに対応した位置情報を該ウエハの裏面の各チップの領域に捺印する第 1 の捺印工程と、各チップに電氣的試験を行う工程と、各チップに対応した該電氣的試験の結果を該ウエハの裏面の各チップの領域に捺印する第 2 の捺印工程と、各チップに切りわけのダイシング工程とを有することを特徴とするウエハレベル半導体装置の製造方法である。

【 0 0 1 0 】

請求項 2 記載の発明は、表面と裏面とを有し表面に複数の半導体チップの形成されたウエハの該表面を樹脂で封止する工程と、各チップに電氣的試験を行う工程と、各チップに対応した位置情報と該電氣的試験の結果とを該ウエハの裏面の各チップの領域に捺印する捺印工程と、各チップに切りわけのダイシング工程とを有することを特徴とするウエハレベル半導体装置の製造方法である。

【 0 0 1 1 】

請求項 3 記載の発明は、請求項 1 または 2 記載のウエハレベル半導体装置の製造方法において、前記ウエハの回路面と反対側の面も樹脂封止し、その上の各チップの領域に前記位置情報及び電氣的試験の結果を捺印することを特徴とするものである。

【 0 0 1 2 】

請求項 4 記載の発明は、表面と裏面とを有し表面に複数の半導体チップの形成されたウエハの該表面を樹脂で封止する工程と、該ウエハに各チップの位置を示す捺印をした樹脂シートを該ウエハ裏面に貼り付ける工程と、各チップに切りわけのダイシング工程とを有することを特徴とするウエハレベル半導体装置の製造方法である。

【 0 0 1 3 】

請求項 5 記載の発明では、請求項 4 記載のウエハレベル半導体装置の製造方法において、前記位置情報及び電氣的試験の結果の捺印を電氣的試験と同時に行うことを特徴とするものである。



【 0 0 1 4 】

請求項 6 記載の発明は、ウエハの所定の位置から切り出され、表面に回路が形成された半導体チップと、該半導体チップの表面を封止する樹脂と、該樹脂から露出し、該回路と接続された外部出力端子と、該半導体チップの裏面に設けられ、該ウエハの所定の位置を示す捺印とを有することを特徴とする半導体装置により構成される。

【 0 0 1 5 】

請求項 7 記載の発明は、ウエハの所定の位置から切り出され、表面に回路が形成された半導体チップと、該半導体チップの表面を封止する樹脂と、該樹脂から露出し、該回路と接続された外部出力端子と、該半導体チップの裏面に貼り付けられた樹脂シートと、該樹脂シート上に印字された該ウエハの所定の位置を示す捺印とを有することを特徴とする半導体装置により構成される。

【 0 0 1 6 】

上述の各手段は次のような作用を有する。

【 0 0 1 7 】

請求項 1 記載の製造方法により、ウエハから個々のチップを切り出すことなく、ウエハの状態です樹脂封止及び電氣的試験を行うので、ウエハの製造履歴とチップの製造履歴とを対応させやすい。また、個々のチップにダイシングしてバラバラになる前にウエハの状態です捺印を行なう事ができる。そのため、捺印時に製造情報を記載すればダイシング後の個々のチップにそのチップのウエハ上の位置情報とともにチップの製造履歴も残る事になり、不良品発生時にその原因究明が容易となり、トレーサビリティが向上する。

【 0 0 1 8 】

請求項 2 記載の製造方法により、位置情報の捺印と電氣的試験の結果の捺印とを同じ工程で行うことにより、捺印工程を請求項 1 のように 2 回行うより効率的に捺印できる。

【 0 0 1 9 】

請求項 3 記載の製造方法により、ウエハの両面を樹脂で封止し、樹脂面に捺印することにより、既存の設備により樹脂面に捺印することができる。

【 0 0 2 0 】

請求項 4 記載の製造方法により、樹脂シートを用いるので、樹脂シートを貼り付けるだけで少なくとも位置情報の捺印された半導体パッケージを構成でき、短時間で捺印を行うことができる。

【 0 0 2 1 】

請求項 5 記載の製造方法により、位置情報と電氣的試験の結果に関する捺印情報を、請求項 1 のように一時的に記憶する必要がなく、電氣的試験と同時にその結果を樹脂シートに捺印することもできる。

【 0 0 2 2 】

請求項 6 記載の半導体装置により、捺印時に半導体パッケージの中にあるチップがウエハのどこに位置していたかの情報が捺印され製造地歴が残るので、不良品発生時にその原因究明が容易となり、トレーサビリティが向上する。

【 0 0 2 3 】

請求項 7 記載の半導体装置により、上記請求項 6 と同様の作用効果に加え、樹脂シートを用いることにより安価に位置情報の捺印された半導体パッケージを得ることができる。

【 0 0 2 4 】

【発明の実施の形態】

次に、本発明のウエハレベル半導体装置の製造方法の実施形態について図 1 ～ 図 5 を用いて説明する。

【 0 0 2 5 】

本発明に用いられるウエハレベル半導体装置は、ウエハ上の各チップ上の電極に、Cu 等で形成された突起電極より形成された外部出力端子を設け、ウエハ状態で少なくとも突起電極の側面が樹脂封止されている。また、本発明に関するウエハレベル半導体装置は、その表面に複数のチップが周知のウエハプロセスにより形成されているが、複数の C S P を基板上に形成して一括樹脂封止したものもウエハレベル半導体装置に含めている。

（第 1 実施形態）

図 1 は、本発明の第 1 実施形態を説明する図であり、（a）、（b）は、第 1

の実施形態のウエハレベル半導体装置の樹脂封止工程を示す図である。

【0026】

図中、1は、複数のCSPもしくは通常のチップが形成された半導体ウエハを示している。詳しくは、上記特開平10-79362に開示されている。

【0027】

このウエハ1上に形成されたチップもしくはCSP上にはパッド電極が形成されており、この上に銅等で形成された外部出力端子としての突起電極(以下ポストと呼ぶ。)が形成される。ウエハ1の回路面上には封止樹脂が形成され、ウエハ表面に形成されたチップを保護する。

【0028】

封止樹脂は、以下の工程により形成される。

【0029】

図1(a)に示されるように、上型金型5と下型金型6とにより構成される空間(キャビティ)にウエハ1を置く。このキャビティは、ウエハより少し大きいサイズになっている。上型金型5と下型金型6との間に樹脂を圧縮成形することにより、封止樹脂をウエハ上に形成するが、金型からこれを取り出す時に離型が容易に行えるようにするために、テンポラリーフィルム4を上金型に設けておく。

【0030】

図1(b)は、(a)の金型にセットされたウエハに樹脂を圧縮成形して封止樹脂3を形成する工程を示す図である。

【0031】

封止樹脂3を形成するには、まず樹脂タブレット(不図示)をウエハ中央に置き、上型・下型金型に圧力を加えるとともに加熱し、樹脂タブレットをウエハ1上に押し広げて圧縮成形を行う。これにより、ウエハ1の回路面側及び側面側を覆う封止樹脂3が形成される。なお、上述した圧縮成形によらなくても、通常のトランスファーモールドを用いて樹脂封止を行ってもよい。

【0032】

次に、樹脂封止を終えた後のウエハに対し、捺印、試験、ダイシングを行う工

程を図 2 (a) ~ (d) 及び図 3 (a) を用いて説明する。

【 0 0 3 3 】

図 2 (a) は、前述した樹脂封止の終わった状態のウエハを示している。このウエハの回路面と反対側のウエハ裏面 3 に対し、(b) の工程で位置情報の捺印をウエハ裏面の各チップの領域に行い、捺印 2 a を形成する。これらの工程は、図 3 (a) に示されるステップ 4 1, 4 2 に相当する。

【 0 0 3 4 】

位置情報とは、捺印するチップがウエハのどの位置にあるかを示すものである。例えば、ウエハに仮想の X-Y 軸を設け、その座標に対応する数字等の記号を捺印すれば、各チップにウエハ上での位置情報を示せる。

【 0 0 3 5 】

上記の位置情報の捺印以外に、もちろん品種、ロットナンバー、製造週といった基本情報もここで捺印してもよい。

【 0 0 3 6 】

また、樹脂封止時に発生した不良に関する組立情報記憶装置 4 8 (図 3 (a)) に記憶されている組立情報に基づいて、この情報を捺印してもよい。組立情報には、圧縮成形時に生じた封止樹脂の部分的な不良が、ウエハのどこで発生したかの位置情報等が含まれる。

【 0 0 3 7 】

捺印 2 は、レーザを用いて印字すればよい。YAG レーザ又はグリーンレーザを用い、その出力はどちらも 3 0 0 ~ 5 0 0 mW である。

【 0 0 3 8 】

次に、(c) に示されるように、各チップに対し電氣的な試験をウエハレベルで行う。各チップに形成された外部電極としての Cu ポスト 1 0 に、プローブピン 1 2 を接触させてチップの試験を行う。プローブピン 1 2 は数ピン単位で接触させても、チップの全ピン同時に接触させてもよい。また、複数のチップ毎に接触させてもよく、ウエハ全てを一括して接触させることのできるウエハコンタクタを用いてもよい。これらの工程は、図 3 (a) に示されるステップ 4 3 に相当する。

【0039】

電氣的試験とは、各チップに対し内部の回路が正しく機能しているか否かを確かめる試験であり、必要に応じて所定の温度環境下で行うバーンイン試験も行ってよい。

【0040】

この電氣的試験の結果は、試験情報記憶装置49に記憶される。この時、良品のデータは、前記位置情報とともに記憶され良品マップデータを構成して記憶される。

【0041】

この後、(d)に示されるように、前記電氣的試験の結果をウエハ裏面の各チップの領域に捺印し、捺印2bを形成する。この工程は、図3(a)に示されるステップ44に相当する。

【0042】

この試験の結果は、良品か不良品かを印字してもよく、また不良品は印字しなくてもよい。また、良品の中でも所定のランクに分けて印字してもよい。

【0043】

最後に、(d)に示されるように、各チップ毎にダイシングソーにより切りわけられ、(e)に示されるように、個々の半導体パッケージとなる。そして、前述の捺印された情報に基づいて、半導体パッケージの良品のみを選別して出荷する。これらの工程は、図3(a)に示されるステップ45、46、47に相当する。

【0044】

この選別は、前記良品マップデータを使用するが、その良品のみが選別されていることの確認は、ウエハ内の位置情報に基づき、マップデータを参照することでトレースすることが可能である。また不良品が良品と視覚的に区別できる捺印を行うことにより、容易に判別することも可能である。

【0045】

以上説明したように、ウエハから個々のチップを切り出すことなく、ウエハの状態では樹脂封止及び電氣的試験を行うので、ウエハの製造履歴とチップの製造履

歴とを対応させやすい。また本実施形態によれば、個々のチップにダイシングしてバラバラになる前にウエハの状態で捺印を行なう事ができる。そのため、捺印時に製造情報を記載すればダイシング後の個々のチップにそのチップのウエハ上の位置情報とともにチップの製造履歴も残る事になり、不良品発生時にその原因究明が容易となり、不良調査のトレーサビリティが向上する。

(第2実施形態)

図3 (b) は、本発明の第2実施形態を説明する図である。

【0046】

図3 (a) との違いは、位置情報の捺印をウエハレベル状態での電氣的試験52を行う前に行うのではなく、その後に行う点である。

【0047】

このように本実施形態では、位置情報の捺印と電氣的試験の結果の捺印とを同じ工程で行うことにより、捺印工程を図3 (a) のように2回行うより効率的に捺印できる。

(第3実施形態)

図4 は本発明の第3実施形態を説明する図である。

【0048】

この実施形態は、図2で説明したウエハの両面を樹脂3a, 3bで封止したものである。

【0049】

はじめに (a) に示されるように、回路面側を樹脂3aで封止し、反対側の面を樹脂3bで封止する。これは図1で示した封止方法をウエハをひっくり返して2度行えばよい。

【0050】

次に、(b) に示されるように、第1実施形態と同様に位置情報の捺印を回路面の反対側の樹脂3bに対して行い、捺印2を形成する。

【0051】

次に、（c）に示されるように、第 1 実施形態と同様の電氣的試験を回路面の樹脂 3 a から露出した Cu ポスト 1 0 にプローブ 1 2 を接触させて行う。

【0 0 5 2】

最後に、（d）に示されるように、第 1 実施形態と同様に電氣的試験の結果を樹脂 3 b に対して捺印する。残りの工程は第 1 実施形態と同様に行えばよい。

【0 0 5 3】

捺印工程は、第 2 実施例のように、位置情報と電氣的試験の結果とを両方同時に捺印してもよい。

【0 0 5 4】

以上のようにウエハの両面を樹脂で封止し、樹脂面に捺印することにより、樹脂面に捺印を印字する既存の設備により樹脂面に捺印することができる。

（第 4 実施形態）

図 5 は、本発明の第 4 実施形態を説明する図である。

【0 0 5 5】

この実施形態は、図 4 で説明したウエハの回路面と反対側の面を耐熱性有機材の樹脂シート 7、例えばポリイミドで形成したものである。

【0 0 5 6】

はじめに、回路面側を樹脂 3 a で封止する。

【0 0 5 7】

次に、第 1 実施形態と同様に位置情報の捺印を樹脂シート 7 に対して行う。

【0 0 5 8】

次に、第 1 実施形態と同様の電氣的試験を回路面の樹脂 3 a から露出した Cu ポストにプローブを接触させて行い、その結果を樹脂シート 7 に対して捺印を行う。その後この樹脂シートをウエハの回路面と反対側の面に貼り付ける。残りの工程は第 1 実施形態と同様に行い、各チップにダイシングする。

【0 0 5 9】

このような樹脂シートを用いることにより、樹脂シートを貼るだけで捺印された半導体パッケージを構成することができ、短時間で捺印を行うことができる。

【0060】

捺印工程は、第2実施形態のように、位置情報と電氣的試験の結果とを両方同時に樹脂シート7に捺印し、その後捺印された樹脂シートをウエハの裏面に貼り付けてもよい。

【0061】

こうすれば、位置情報と電氣的試験の結果に関する捺印情報は、第1実施形態のように一時的に記憶する必要がなく、電氣的試験と同時にその結果を樹脂シートに捺印することもできる。

【0062】

また、樹脂シートに予めチップの位置情報を示す数字や記号を印字しておき、それを図2(a)の状態のウエハ裏面に貼り付けてもよい。この場合、電氣的試験の結果は捺印しないこととなる。電氣的試験の結果は、チップの位置情報とともにそれを記憶装置に記憶しておけば、樹脂シートに試験の結果を捺印する必要はない。こうすれば、試験結果の捺印工程を省略することができ、工程の短縮を図ることができる。

【0063】

【発明の効果】

以上説明したように、本発明のウエーハレベル半導体装置の製造方法を用いれば、ダイシングされた半導体パッケージに内部のチップがウエハのどこに位置していたかの情報が捺印されるので、不良調査のトレーサビリティを向上させることができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態の製造工程を説明する図である。

【図2】

本発明の第1実施形態の製造工程を説明する図である。

【図3】



本発明の第 1 及び 2 実施形態の製造工程を説明する図である。

【図 4】

本発明の第 3 実施形態の製造工程を説明する図である。

【図 5】

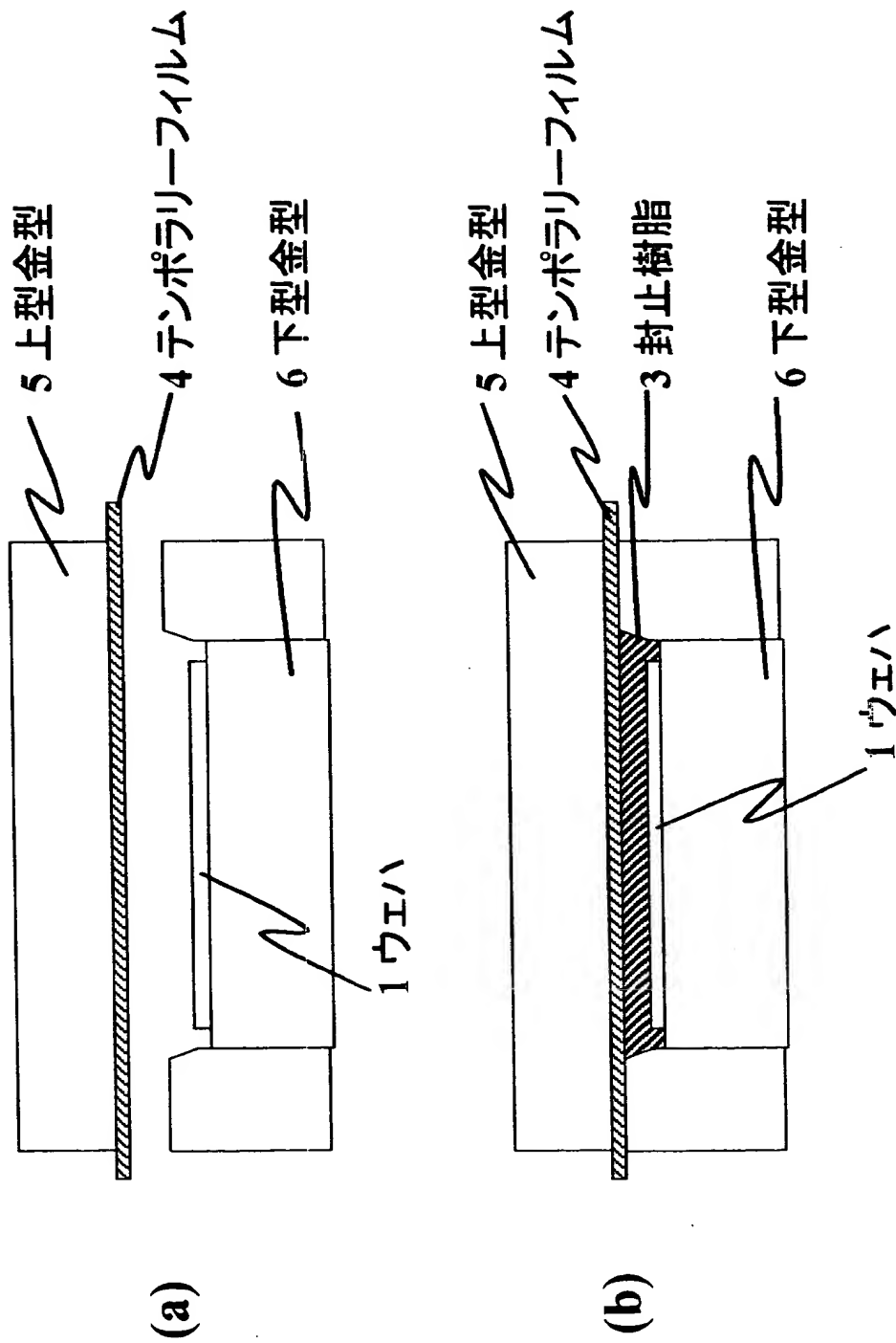
本発明の第 4 実施形態の製造工程を説明する図である。

【符号の説明】

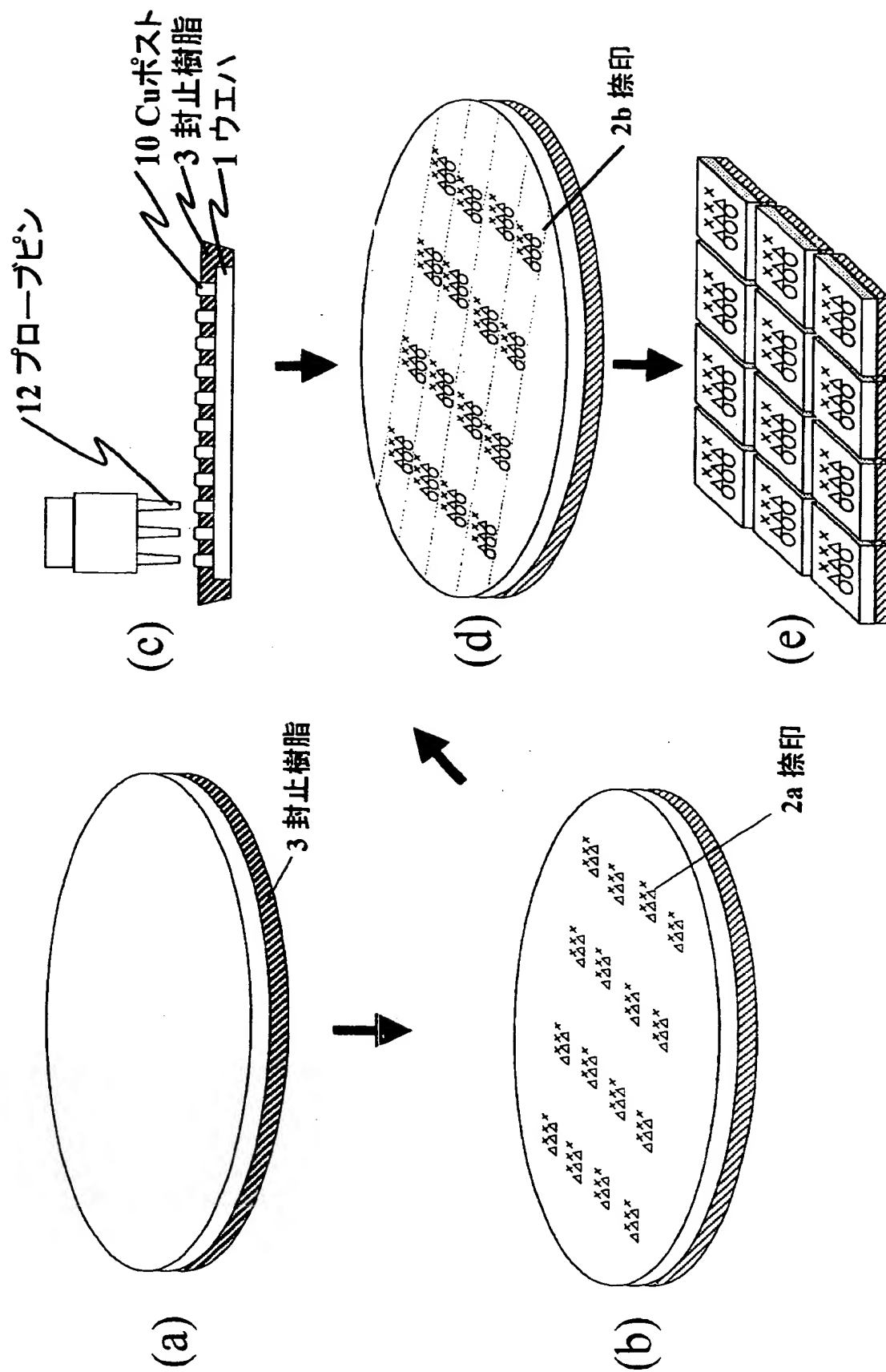
1 ……………ウエーハ	2 ……………捺印
3 ……………封止樹脂	4 ……………テンポラリーフィルム
5 ……………上型金型	6 ……………下型金型
7 ……………樹脂シート	1 0 ……………Cuポスト

【書類名】 図面

【図1】

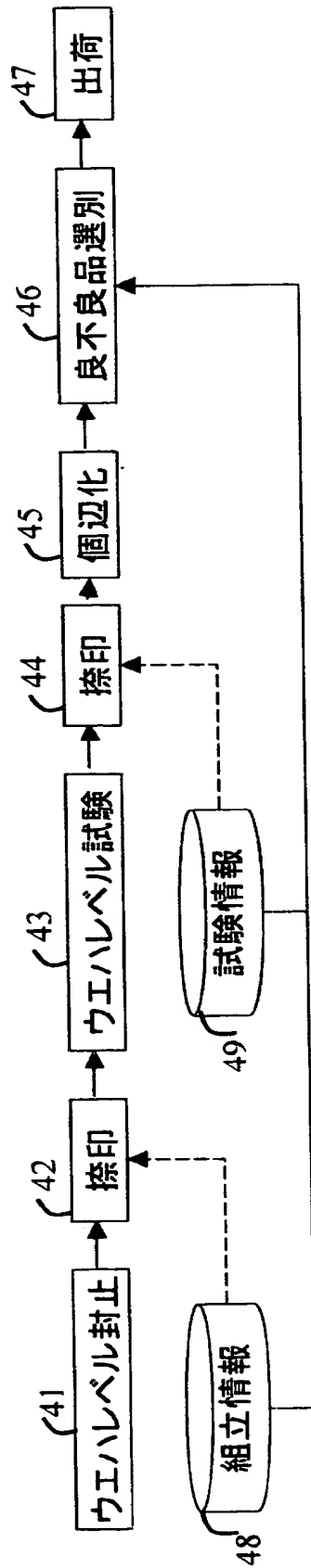


【図2】

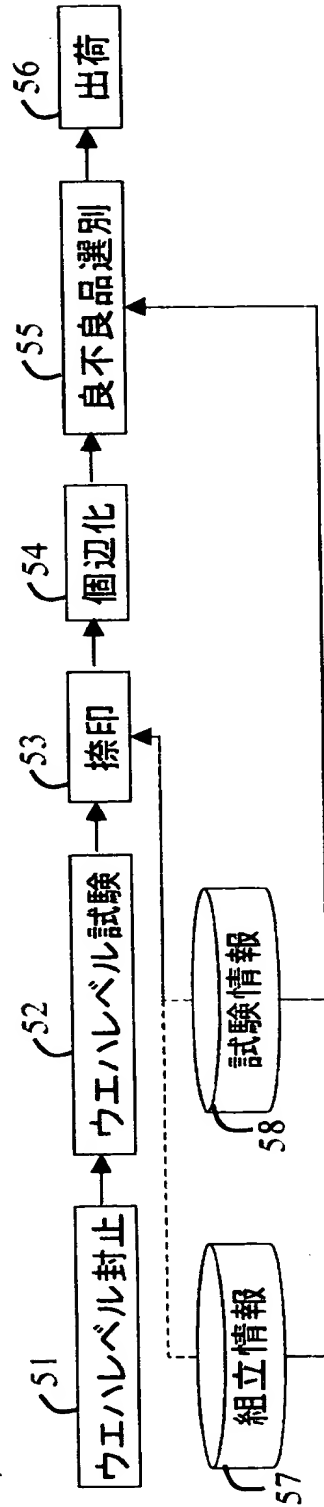


特 2 0 0 0 - 2 0 1 4 1 6

【図 3】



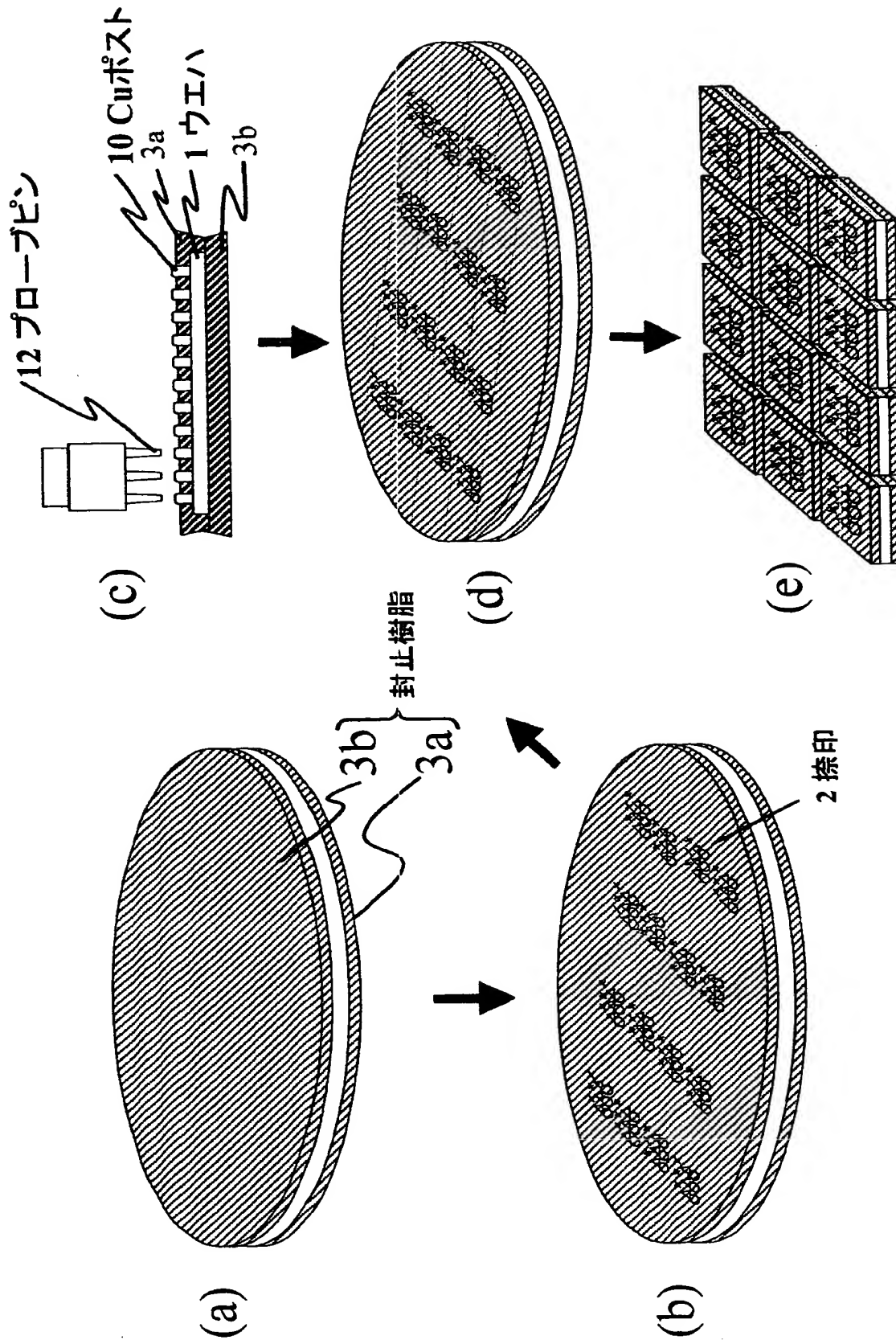
(a) (第1実施形態)



(b) (第2実施形態)

特 2 0 0 0 - 2 0 1 4 1 6

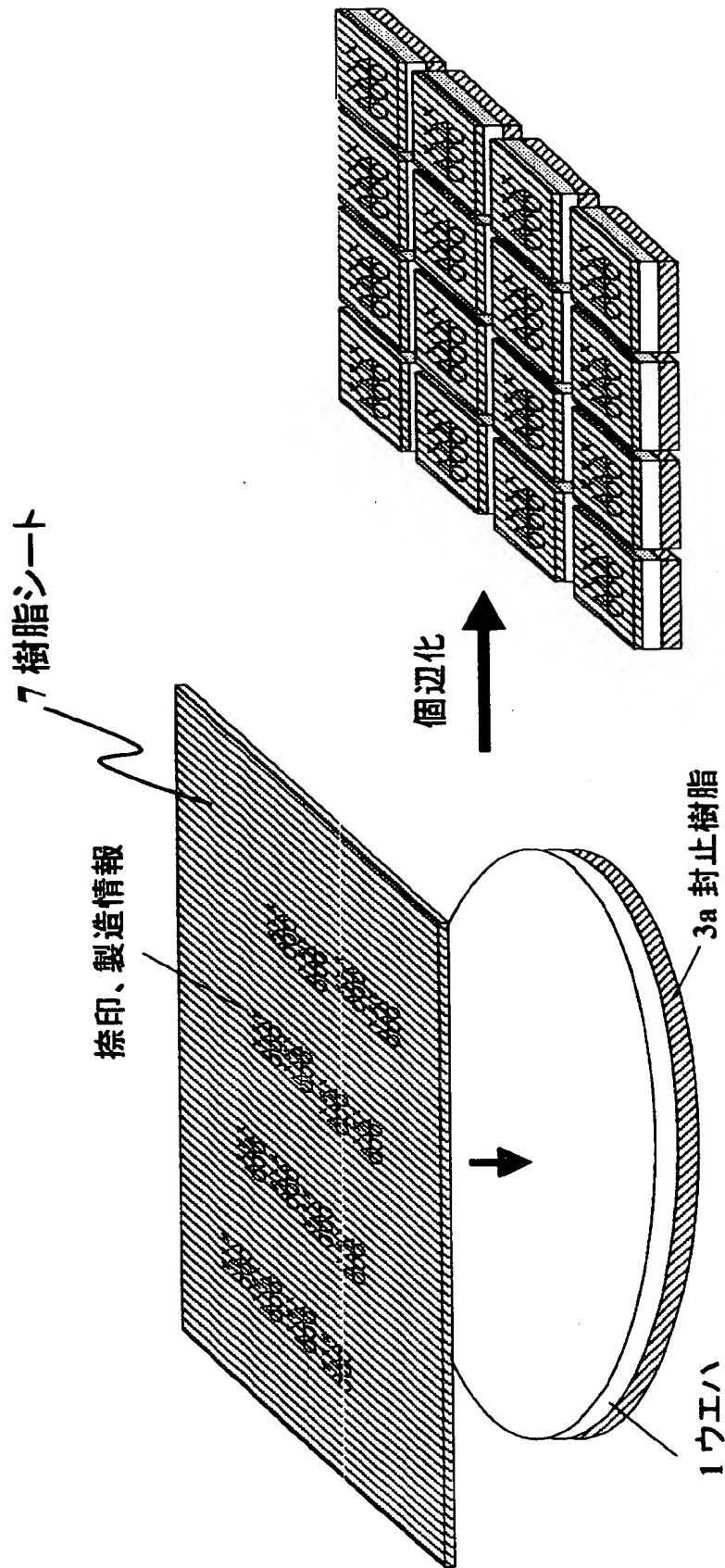
【図 4】



特 2 0 0 0 - 2 0 1 4 1 6

【図 5】





【書類名】 要約書

【要約】

【課題】本発明は、ウエハレベル半導体装置の製造方法において、ウエハ上に封止樹脂を形成しても、捺印情報から不良調査のできる半導体装置の製造方法及びその手法を用いて製造された半導体装置を提供することを課題とする。

【解決手段】表面と裏面とを有し表面に複数の半導体チップの形成されたウエハの該表面を樹脂で封止する工程と、各チップに対応した位置情報を該ウエハの裏面の各チップの領域に捺印する第1の捺印工程と、各チップに電氣的試験を行う工程と、各チップに対応した該電氣的試験の結果を該ウエハの裏面の各チップの領域に捺印する第2の捺印工程と、各チップに切りわけのダイシング工程とを有することを特徴とするウエハレベル半導体装置の製造方法である。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社